

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05298894 A**

(43) Date of publication of application: **12 . 11 . 93**

(51) Int. Cl. **G11C 16/06**

(21) Application number: **04096309**

(71) Applicant: **SHARP CORP**

(22) Date of filing: **16 . 04 . 92**

(72) Inventor: **FUKUDA NORIO**

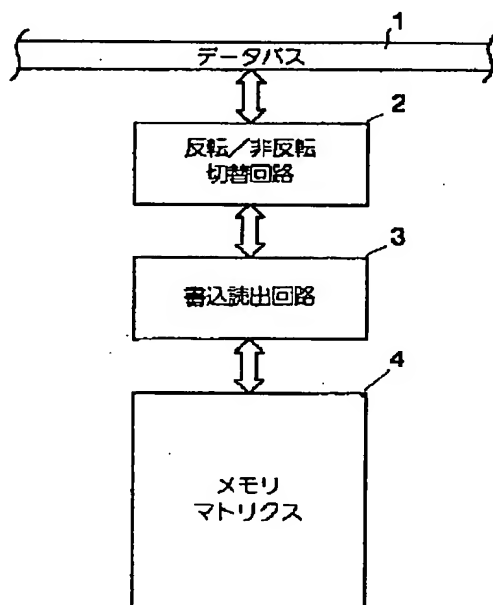
(54) **CONTROLLER FOR WRITING AND READING  
DATA IN NONVOLATILE MEMORY**

(57) Abstract:

PURPOSE: To enhance the reliability of a nonvolatile memory and a system using it and also to shorten time for rewriting by reducing the rewriting bit number of the nonvolatile memory from an initial bit state.

CONSTITUTION: The total number of the respective bits zero and the bits one of writing data for the nonvolatile memory (memory matrix 4) are obtained, the numbers of the both bits are compared, a large number bit state is picked-up and the bits zero and the bits one of writing data are inverted (2) in a direction where the rewriting bit number from the initial bit state of the nonvolatile memory is decreasing so as to execute rewriting (3). Inverted and rewritten data is re-inverted at the time of reading and read as original data.

COPYRIGHT: (C)1993,JPO&Japio



**THIS PAGE BLANK (USPTO)**

①

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-298894

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl.<sup>5</sup>

G11C 16/06

識別記号

庁内整理番号

FI

技術表示箇所

6741-5L

G11C 17/00

309 F

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号

特願平4-96309

(22)出願日

平成4年(1992)4月16日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 福田 典生

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

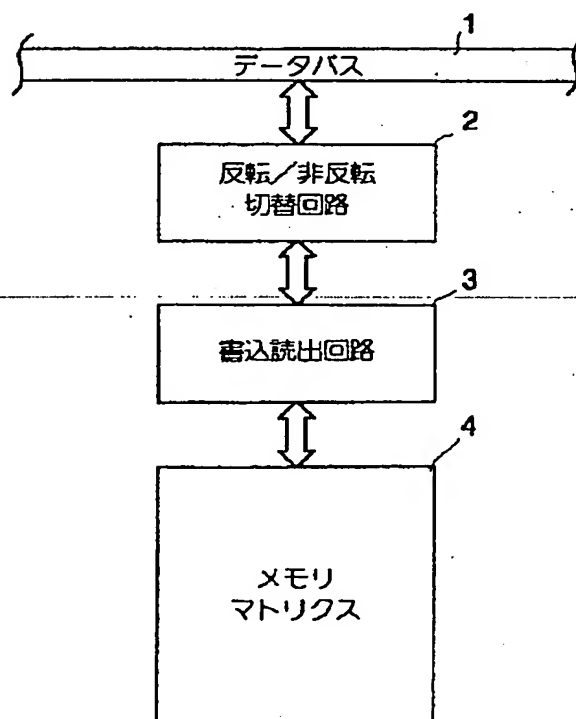
(74)代理人 弁理士 小森 久夫

(54)【発明の名称】 不揮発性メモリのデータ書込読出制御装置

(57)【要約】

【構成】不揮発性メモリ(メモリマトリクス4)に対する書込データのビット0とビット1の各々の総数を求めるとともに、両者の大小比較を行い、多数ビット状態を抽出し、不揮発性メモリの初期ビット状態からの書き換えビット数が少なくなる方向に書込データのビット0とビット1を反転させて書き込む。反転して書き込まれたデータについては、その読み出し時に再び反転して元通りのデータとして読み出す。

【効果】不揮発性メモリの初期ビット状態からの書き換えビット数が少なくなり、不揮発性メモリおよびそれを用いたシステムの信頼性が高まり、また書き換えに要する時間も短縮化される。



## 【特許請求の範囲】

【請求項1】書き込むべきアドレスまたはブロックのデータを構成するビット0とビット1の各々の総数を求めるとともに両者の大小比較を行い、多数ビット状態を抽出する多数ビット状態抽出手段と、不揮発性メモリの初期ビット状態と前記多数ビット状態との一致性を判定する判定手段と、前記判定結果を記憶する判定結果記憶手段と、前記一致性を満たさぬとき、不揮発性メモリに対する書き込みデータを反転する書き込みデータ反転手段と、前記判定結果記憶手段が不一致状態を記憶しているとき、不揮発性メモリからの読み出しデータを反転する読み出しデータ反転手段、とを備えてなる不揮発性メモリのデータ書込読出制御装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は不揮発性メモリに対するデータの書込読出制御を行う装置に関する。

## 【0002】

【従来の技術】マイクロコンピュータシステム等においてプログラムやデータなどを書き込み、電源のバックアップなしに記憶内容を保持する不揮発性メモリとして、EPROM、ヒューズROM、EEPROMなどが従来より用いられている。

【0003】このような不揮発性メモリは、メモリセルの状態を変えることによって書き込みを行うものである。たとえばEPROMやEEPROMタイプでは、MOSトランジスタのゲートに高電圧を印加することによって、絶縁膜中に電子をトラップさせることによってスレッショールド電圧を上昇させ、これによって情報の書込をおこなう。特にEEPROMでは、ゲートに逆極性の高電圧を印加して情報を消去する。また、ヒューズROMタイプでは、メモリセル内のヒューズ部に相当する箇所到大電流を通電または高電圧を印加してヒューズ部を開放状態とすることによって情報の書込を行う。このように、不揮発性メモリに対するデータの書き込みは、メモリセルを初期状態とは異なる状態に反転させることによって行う。

## 【0004】

【発明が解決しようとする課題】一般に不揮発性メモリに対するデータの書き込みまたは消去の際、メモリセルの状態（EPROM、EEPROMタイプでは、スレッショールド電圧、ヒューズROMタイプではメモリセルのヒューズ部の抵抗値）が所定値幅を超えて変化しなければならない。そのため、印加電圧や電圧印加時間などの書込条件が定められている。しかし、近年のメモリ容量の増大に伴って、全メモリセルへの書込時間は長くなり、またメモリセルの微細化に伴って、高い信頼性を確保するための書込条件は厳しくなる傾向にある。

【0005】不揮発性メモリを用いたシステムの信頼性

は、不揮発性メモリ自体の信頼性に依存するが、同一プロセスで製造された不揮発性メモリを用いる場合でも、その不揮発性メモリに対するデータの書込読出制御によって信頼性は大きく左右される。すなわち、一般に、不揮発性メモリの各メモリセルの状態は初期状態で最も安定した状態であるが、その状態からデータの書込が行われて、メモリセルの状態が反転した状態は初期状態との比較において不安定状態であるといえる。また、書込消去を繰り返す毎にメモリセルの特性は劣化する。

【0006】この発明は前述の問題および不揮発性メモリの一般的特性に鑑みてなされたものであって、不揮発性メモリ自体および不揮発性メモリを用いたシステムの信頼性を高め得る、不揮発性メモリのデータ書込読出制御装置を提供することにある。

## 【0007】

【課題を解決するための手段】この発明の不揮発性メモリのデータ書込読出制御装置は、書き込むべきアドレスまたはブロックのデータを構成するビット0とビット1の各々の総数を求めるとともに両者の大小比較を行い、多数ビット状態を抽出する多数ビット状態抽出手段と、不揮発性メモリの初期ビット状態と前記多数ビット状態との一致性を判定する判定手段と、前記判定結果を記憶する判定結果記憶手段と、前記一致性を満たさぬとき、不揮発性メモリに対する書き込みデータを反転する書き込みデータ反転手段と、前記判定結果記憶手段が不一致状態を記憶しているとき、不揮発性メモリからの読み出しデータを反転する読み出しデータ反転手段、とを備えてなる。

## 【0008】

【作用】この発明の不揮発性メモリのデータ書込読出制御装置では、多数ビット状態抽出手段は書き込むべきアドレスまたはブロックのデータを構成するビット0とビット1の各々の総数を求めるとともに、ビット0の総数とビット1の総数との大小比較を行い、多数側のビット状態を抽出する。判定手段は不揮発性メモリの初期ビット状態と前記多数ビット状態との一致性を判定する。判定結果記憶手段は前記判定結果を記憶する。書込データ反転手段は不揮発性メモリの初期ビット状態と前記多数ビット状態とが不一致であるとき、不揮発性メモリに対する書込データのビット0とビット1を反転させる。したがって不揮発性メモリの初期ビット状態とは逆状態のビットが多数（過半数）であるとき、書き込むべきデータのビット0とビット1を反転させた状態で書き込みが行われる。読出データ反転手段は前記判定結果記憶手段が不一致状態を記憶しているとき、不揮発性メモリからの読出データを反転する。したがって不揮発性メモリに対しデータのビット状態を反転させて書き込まれたデータを読み出す際に、再び反転した状態で読み出され、元通りのビット0とビット1の状態を読み出される。

【0009】以上の作用によって、不揮発性メモリの初

期ビット状態が変化しないビット(メモリセル)が多くなり、初期ビット状態が反転するビットがなるべく少なくなる方向にデータが書き込まれる。これによりメモリセルの書き換え数が減少し、書き換え時のストレスに対する不揮発性メモリの信頼性が向上する。また、不揮発性メモリに対するデータの書き込みはPROMライターによって行われるが、初期状態と同一データを書き込む場合には、そのデータの書き込みをスキップさせる機能が備えられている。したがってメモリセルの書き換え数の減少に伴いデータの書き込みに要する時間も短縮化される。

#### 【0010】

【実施例】この発明の実施例である不揮発性メモリのデータ書込読出制御装置と不揮発性メモリからなるメモリ装置の構成をブロック図として図1に示す。図1において反転/非反転切替回路2はこの発明に係る不揮発性メモリのデータ書込読出制御装置であり、データバス1と書込読出回路3との間に設けている。メモリマトリクス4は複数のメモリセルのマトリクスからなり、書込読出回路3はメモリマトリクス4に対するデータの書き込みおよび読み出しを行う。なお、書込読出回路3に与える書込信号および読出信号を発生する回路、アドレスデータからメモリマトリクスのアドレスを選択するデコーダおよびアドレスバスについては省略している。

【0011】図2は図1に示した反転/非反転切替回路2の主要部の構成を示す1ビット当たりの回路図である。図2において6, 7はそれぞれEX-OR回路であり、切替信号が“H”レベルであるとき、2つのEX-OR回路6, 7はそれぞれインバータとして作用し、切替信号が“L”レベルであるとき、2つのEX-OR回路6, 7はそれぞれバッファとして作用する。この切替信号は後述するようにメモリに対しデータを反転させて書き込んだか、そのまま書き込んだかを表す記憶データに基づき与えられる。なお、EX-OR回路6はこの発明に係る書込データ反転手段に相当し、EX-OR回路7はこの発明に係る読出データ反転手段に相当する。

【0012】次に、図1に示した全体の構成例を1ビット当たりの回路図として図3に示す。図3において2は反転/非反転切替回路、8, 9, 13, 14で構成される回路は図1における書込読出回路3に相当する。また、図3において10は1ビットのメモリセルである。このメモリセル10はマトリクス配置されることによって図1に示したメモリマトリクス4を構成する。図3において8はレベル変換回路であり、EX-OR回路6より出力される論理レベルの信号をVpp-GND間の電圧レベルに変換する。9は単一のMOSトランジスタからなるトランスファゲートである。このトランスファゲート9は書込信号Wがアクティブであるとき導通する。また、13は単一のMOSトランジスタからなるトランスファゲートであり、読出信号Rがアクティブであると

き導通する。さらに14はVrを基準電位としてトランスファゲート13の出力レベルを比較するコンパレータである。メモリセル10はMOSトランジスタ12とヒューズ部11とから構成されている。

【0013】図3に示した回路の動作は次の通りである。

#### 【0014】① データ非反転時

まずデータが“H”レベルで、切替信号が“L”レベルであるとき書込信号Wがアクティブとなれば、レベル変換回路8の入力は“H”レベルとなって、メモリビットラインにVppの高電圧が印加される。このときデコーダ(不図示)から出力されるワードラインが“H”レベルとなれば、MOSトランジスタ12が導通し、ヒューズ部11に高電圧Vppが印加され、ヒューズ部11が切断される。これにより書き込みが行われる。もし、データが“L”レベルで切替信号が“L”レベルであれば、レベル変換回路8の入力は“L”レベルとなる。したがって書込信号Wがアクティブとなり、ワードラインが“H”レベルとなってもメモリビットラインはGND電位のままであり、ヒューズ部11は切断されない。

【0015】読出時には読出信号Rがアクティブとなるが、コンパレータ14の比較入力ラインは図に示すようにV0にプルアップされているため、ヒューズ部11が切断状態であれば、読出信号Rがアクティブであってもコンパレータ14の出力は“H”レベルのままとなる。このとき切替信号が“L”レベルであるため、コンパレータ14の出力内容はそのままデータ1として出力される。ヒューズ部11が導通状態であれば、読出信号Rがアクティブのとき、コンパレータ14の比較入力線が略GND電位となって、コンパレータ14の出力は“L”レベルとなり、データは0として出力される。

#### 【0016】② データ反転時

切替信号を“H”レベルにするとEX-OR回路6はインバータとして作用するため、データが“H”レベルのときレベル変換回路8の入力は“L”レベルとなる。したがって書込信号Wがアクティブとなり、ワードラインが“H”レベルとなってもメモリビットラインはGNDレベルのままとなり、ヒューズ部11は切断されない。データが“L”レベルであれば、レベル変換回路8の入力が“H”レベルとなるため、書込信号Wがアクティブで、ワードラインが“H”レベルとなったとき、メモリビットラインに高電圧Vppが印加され、MOSトランジスタ12が導通し、ヒューズ部11が切断され、これによりメモリセル10自体は一応データ1を記憶することになる。読み出し時において読出信号Rがアクティブとなり、ワードラインが“H”レベルとなれば、ヒューズ部11が初期の導通状態のままであれば、コンパレータ14の比較入力線がGND電位となって、コンパレータ14の出力は“L”レベルとなる。このとき切替信号は“H”レベルであるため、EX-OR回路7の出力は

“H”レベルとなり、データ1として出力される。ヒューズ部11が切断されていれば、逆にコンパレータ14の出力は“H”レベルであるため、EX-OR回路7の出力が“L”レベルとなってデータ0として出力されることになる。

【0017】以上のように、切替信号が“L”レベルのときには、データ0、データ1の状態がそのままの状態メモリセルに書き込まれ、そのままの状態で読み出されるが、切替信号が“H”レベルのときには、データ0、データ1が反転された状態でメモリセルに書き込まれ、これが再び反転され、元の状態で読み出される。

【0018】次に、アドレス単位で上記の切替を行う例を図4および図5を基に説明する。

【0019】図4は不揮発性メモリと不揮発性メモリのデータ書込読出制御装置からなる装置の構成を示すブロック図である。図4に示すメモリマトリクス4の内、各アドレスの1ビットは各データの多数ビット状態の判定結果を記憶するビットとしている。このビットはこの発明に係る判定結果記憶手段に相当する。この記憶内容に応じて反転/非反転切替回路2に対し切替信号が与えられる。

【0020】図5は図4に示したメモリマトリクス4に書き込むべきデータを示す図であり、この例では8ビット5アドレス分のデータを示す。ここでアドレス0の8ビットデータを構成するビット0のビット総数は4、ビット1の総数は4であり同一であり、ここでは反転を行わない。したがって多数ビットの判定結果は0である。アドレス1～3についてはビット1の総数がビット0の総数より多いため、判定結果は1である。アドレス4についてはビット0の総数がビット1の総数より多いため、判定結果は0である。したがって各メモリセルの内容は図4に示すように、アドレス0、アドレス4の内容はビットの0/1状態が反転されずに書き込まれ、アドレス1～アドレス3の内容はビットの0/1状態が反転されて書き込まれることになる。

【0021】図4、図5に示した例では、メモリの初期状態から実際に書き込まれるビット数は合計9ビットとなる。これに対し、同一内容を従来方法により書き込むとすれば、図5に示すデータのビット1の総数すなわち27ビット分の書き込みが必要となる。因みに図5に示

した8ビットデータ×5アドレスのデータを1ブロックとして書き込む場合、ビット1の総数は27、ビット0の総数は13である。

【0022】したがって13ビット分の書き換え数となり、その場合でも従来方法より少なくなることが分かる。

【0023】なお、図3に示した実施例では、ヒューズROMタイプの不揮発性メモリに対する書込読出制御を行う例を示したが、EPROM、EEPROMタイプの不揮発性メモリについても同様に適用することができる。

【0024】

【発明の効果】この発明によれば、不揮発性メモリの初期状態からの書き換え数が、データをそのまま書き込む場合に比較して少なくなる。そのため不揮発性メモリの信頼性が高まり、不揮発性メモリを用いたシステムにおいて、書込読出の行われるデータの信頼性が向上する。また、初期状態と同一データを書き込む場合には実質上の書き込みを行わない書込制御方法によれば、同一容量のデータの書き込みに必要な時間が短縮化される。

【図面の簡単な説明】

【図1】この発明の第1の実施例に係る不揮発性メモリのデータ書込読出制御装置と不揮発性メモリからなる装置のブロック図である。

【図2】図1に示す反転/非反転切替回路2の主要部の構成を示す1ビット当たりの回路図である。

【図3】図1に示す装置全体の構成を示す1ビット当たりの回路図である。

【図4】第2の実施例に係る不揮発性メモリのデータ書込読出制御装置と不揮発性メモリからなる装置の構成を示すブロック図である。

【図5】図4に示すメモリマトリクス4に書き込むべきデータを示す図である。

【符号の説明】

2-反転/非反転切替回路

6, 7-EX-OR回路

8-レベル変換回路

9, 13-トランスファゲート

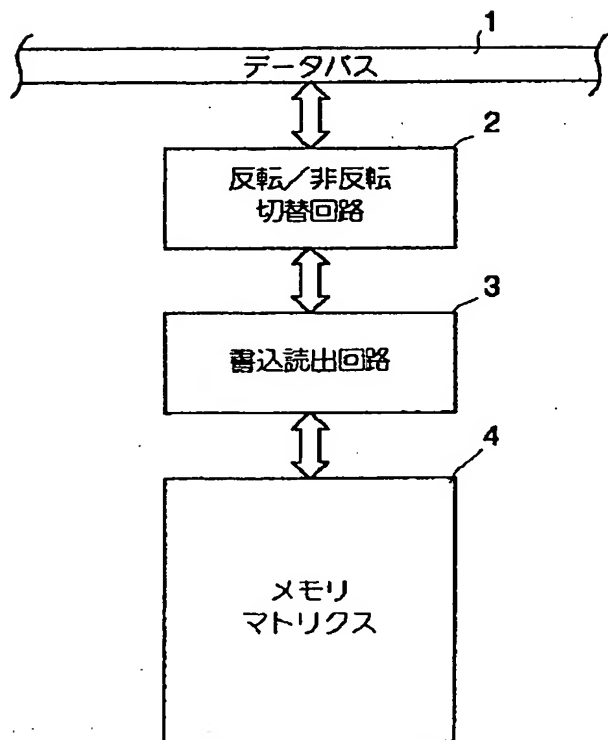
10-メモリセル

11-ヒューズ部

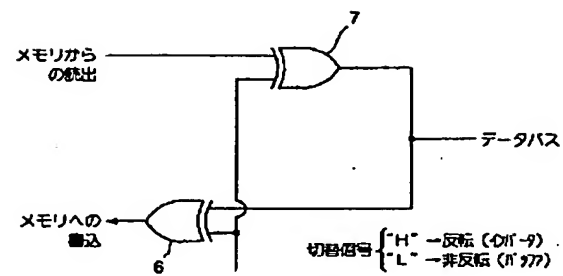
【図5】

多数ビット判定結果		データ								合計
アドレス	0	0	0	0	0	1	1	1	1	0
	1	1	1	1	1	1	1	1	1	1
	1	1	0	1	1	1	0	1		2
	1	1	1	1	0	1	1	1		3
	0	0	0	0	0	0	1	1		4

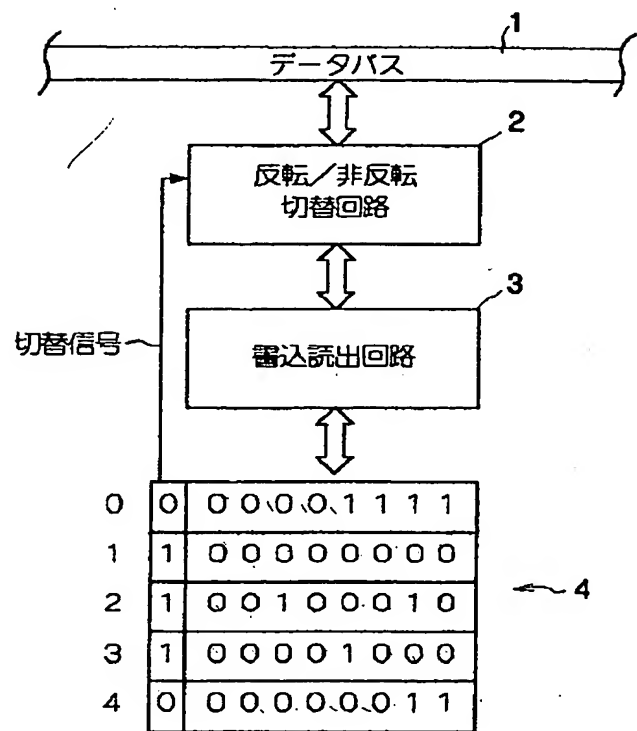
【図1】



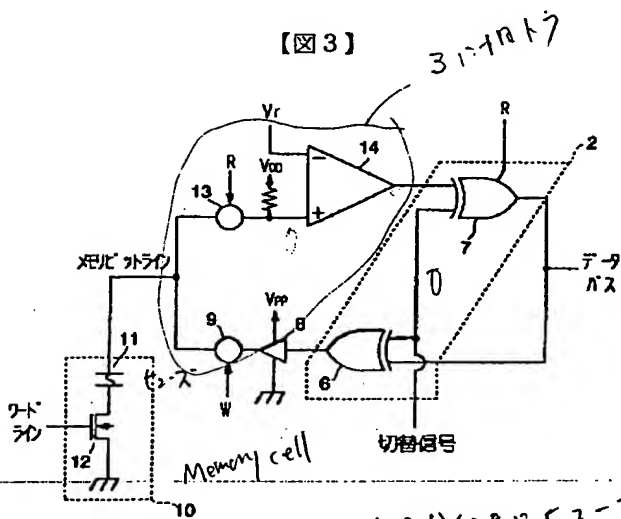
【図2】



【図4】



【図3】



1セグメント292コースの3

**THIS PAGE BLANK (USPTO)**